

Sistemi e Reti



Struttura dell'Elaboratore

Prof. Davide Carnemolla

A.S. 2021/2022

Indice

1. Il modello di von Neumann

1.1 Scheda madre

1.2 CPU

1.3 Memorie

1.4 Bus

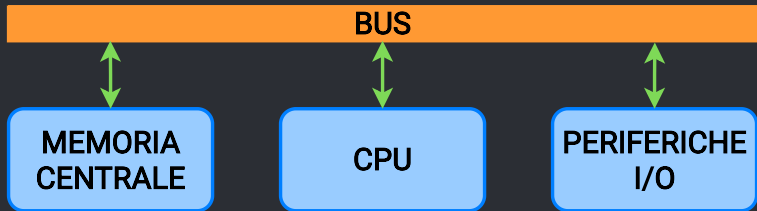
2. CPU

3. Bus

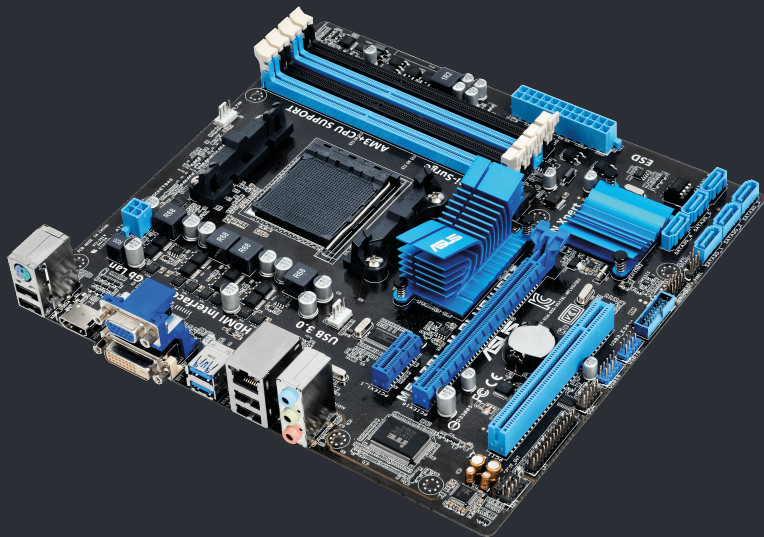
4. Memorie Cache

5. Memoria centrale

Il modello di von Neumann



Scheda madre



CPU



- Memoria cache e registri
- ALU (Arithmetic Logic Unit)
- Central Unit

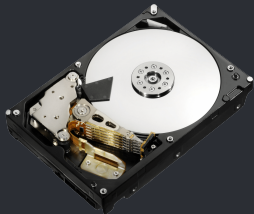
Memorie

RAM (Random Access Memory)



- Estremamente veloce
- Costosa
- Volatile
- Memoria centrale

Hard Drive



- Tempi di accesso lenti
- Economico
- Permanente
- Memoria secondaria

Periferiche input/output

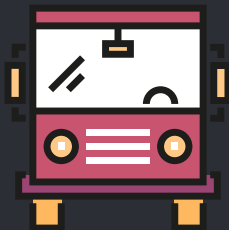
Input

- Mouse
- Tastiera
- Tavolette grafiche
- Scanner
- ...

Output

- Monitor
- Stampante
- Speaker
- ...

Bus



- Data Bus
- Address Bus
- Control Bus

Indice

1. Il modello di von Neumann

1.1 Scheda madre

1.2 CPU

1.3 Memorie

1.4 Bus

2. CPU

3. Bus

4. Memorie Cache

5. Memoria centrale

CPU

È composta da tre parti principali:

- **l'unità di controllo(CU)**
- **l'unità aritmetico-logico(ALU)**
- **registri interni**

Le operazioni elementari che può svolgere sono:

- Somma su numeri binari
- Spostamento dati
- Controllo delle memorie e delle periferiche attraverso il bus

CPU: il clock

- La sincronizzazione di tutte le operazioni effettuate è regolata da un orologio detto **clock**
- La velocità di clock viene misurata in GHz (miliardi di cicli al secondo)

CPU: i registri

- i registri sono delle memorie ausiliarie in grado di memorizzare più bit alla volta per un suo successivo utilizzo
- grazie ai registri la cpu memorizza i dati e le istruzioni necessarie per un'elaborazione
- un registro è un insieme di elementi fisici bistabili

0	0	0	1	1	0	0	0	0	1	1	0	0	0	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

Registro a 16 bit

CPU: velocità di elaborazione

La velocità di elaborazione dipende da:

- numero di bit che è in grado di processare simultaneamente (**parallelismo dei dati**)
- frequenza del clock
- struttura interna
- numero di core integrati
- velocità delle periferiche collegate

CPU: velocità di elaborazione (Numero di bit)

- Le operazioni vengono effettuate dal processore su un certo numero di bit
- Le architetture più comuni lavorano a 32 o 64 bit
- un'architettura a 64 bit risulta chiaramente più performante di una a 32 bit

CPU: velocità di elaborazione (Frequenza di clock)

- Maggiore è la frequenza di clock e più velocemente verranno eseguite le istruzioni.
- Un'elevata frequenza può portare al surriscaldamento della CPU (per questa ragione esistono varie soluzioni di raffreddamento)

CPU: velocità di elaborazione (Numero di core)

A causa di limiti fisici è stato necessario integrare più *core* su un singolo dispositivo.

In questo modo avremo più microprocessori che “lavorano” contemporaneamente.

CPU: cache

- All'interno dei microprocessori sono presenti delle memorie estremamente veloci chiamate memorie **cache**
- La cache permette di risparmiare accessi alla memoria centrale (che risulta più lenta)
- Estremamente costosa (più della RAM)

Indice

1. Il modello di von Neumann

1.1 Scheda madre

1.2 CPU

1.3 Memorie

1.4 Bus

2. CPU

3. Bus

4. Memorie Cache

5. Memoria centrale

Bus

- Bus dati
- Bus indirizzi
- Bus di controllo

Bus dati (Data bus)

- Su di esso viaggiano dati e istruzioni
- Tipicamente a 32 o 64 bit
- Il Bus è bidirezionale

Bus indirizzi (Address bus)

- Ad ogni cella di memoria e ad ogni dispositivo viene associato un indirizzo
- È il bus utilizzato dalla CPU per decidere in quale indirizzo leggere/scrivere un'informazione
- Il bus è unidirezionale

Bus di controllo (Control bus)

- Serve a coordinare le attività del sistema
- Permette alla CPU di inviare alla memoria e all'interfaccia di I/O segnali
- I segnali inviati dalla CPU indicano cosa fare in un certo istante
- I collegamenti fondamentali sono:
 - **BUSY** (occupato): la periferica è occupata in altre operazioni
 - **IRQ** (interrupt request): la periferica segnala al microprocessore la necessità di un'elaborazione (movimento del mouse, tasto premuto ecc.)
 - **IORD/IOWR**: la periferica è in fase di lettura/scrittura

Ottimizzazioni prestazioni dei Bus

- Bus mastering
- **DMA** (Direct Memory Access): trasferimento dati da e verso la memoria senza il coinvolgimento del processore
- Utilizzo di un **Chipset**
 - **Northbridge**: più veloce (RAM, PCIe)
 - **Southbridge**: più lento (IDE, SATA, USB, Ethernet, Scheda audio integrata)
 - **Front Side Bus**: è il bus attraverso cui comunica la CPU
 - **Black Side Bus**: permette di collegare la CPU ad una cache esterna per migliorare le prestazioni

Indice

1. Il modello di von Neumann

1.1 Scheda madre

1.2 CPU

1.3 Memorie

1.4 Bus

2. CPU

3. Bus

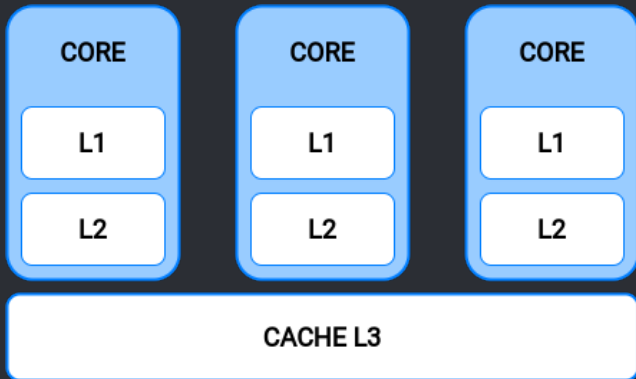
4. Memorie Cache

5. Memoria centrale

Memorie Cache

- È una memoria integrata all'interno della CPU
- Molto più veloce rispetto alla memoria ram
- È una memoria “intermedia” che mantiene i dati utili alla CPU evitando di effettuare numerosi accessi alla memoria RAM che sappiamo essere costosi

Memorie Cache: Livelli



Memorie Cache: Livelli (2)

CACHE	TEMPI DI ACCESSO	DIMENSIONI
L1	1/4 cicli di clock	16/64 kB
L2	8/15 cicli di clock	256/1024 kB
L3	25/50 cicli di clock	2/10 MB

Nei processori moderni la dimensione delle memorie cache è cresciuta, anche se in modo non troppo evidente.

Memorie Cache: gestione

- Cache Hit vs Cache Miss
- Hit Rate
- La cache si riempie? Soluzione: eliminiamo i dati non utilizzati da tempo (LRU, Least Recently Used)
- Aggiornamento dati in memoria centrale: write-through vs write-back
- Posizionamento libero vs vincolato

Indice

1. Il modello di von Neumann
 - 1.1 Scheda madre
 - 1.2 CPU
 - 1.3 Memorie
 - 1.4 Bus
2. CPU
3. Bus
4. Memorie Cache
5. Memoria centrale

Memoria Centrale (1)



- RAM (Random Access Memory)
- È la parte del calcolatore in cui viene temporaneamente conservato il programma durante la sua esecuzione
- Vengono memorizzate le istruzioni, i dati ricevuti in input e i risultati parziali

Memoria Centrale (2)

- È costituita da milioni di celle, ciascuna contenente lo stato di un bit
- La gestione avviene per gruppi di almeno 8 bit (1 byte), organizzati in righe e colonne (matrice)
- È ad accesso diretto: si può accedere a ogni byte generando l'indirizzo fisico che contiene le coordinate della cella
- I dati possono essere letti e scritti
- I dati sono mantenuti solo per il tempo in cui la memoria è alimentata

Memoria Centrale - Operazioni (1)

- **Lettura**

1. Il microprocessore genera l'indirizzo della cella da leggere e lo invia alla memoria tramite l'Address Bus
2. Il circuito interno della memoria decodifica l'indirizzo e attiva la cella interessata
3. Lo stato dei vari bit della cella è trasferito sul circuito di collegamento tra memoria e Data bus.
4. La memoria immette il dato sul Data bus e invia un segnale sul Control bus per avvertire il microprocessore che il dato è pronto.

Memoria Centrale - Operazioni (2)

- **Scrittura**

1. Il microprocessore genera l'indirizzo della cella sulla quale scrivere e lo invia alla memoria tramite l'Address bus
2. Il circuito interno alla memoria decodifica l'indirizzo e attiva la cella interessata, segnalando al microprocessore che è pronta a ricevere il dato
3. Il microprocessore immette il dato sul Data bus
4. Il dato è prelevato dal Data bus ed è trasferito nella cella; la memoria comunica al microprocessore che il dato è stato memorizzato

Memoria Centrale - Operazioni (3)

- **Controllo degli errori**

- Visto che la memoria centrale riveste una certa importanza, occorre garantire che non avvengano errori o malfunzionamenti.
- Per questa ragione, oltre ai bit dei dati, sono presenti dei bit aggiuntivi (**error bit**) che, con opportuni metodi di controllo, consentono di verificare lo stato della memoria.
- Un esempio di metodo di verifica è il **controllo di parità**